

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-056677

(43)Date of publication of application : 22.02.2002

(51)Int.Cl. G11C 11/407  
G06F 1/12  
H03L 7/081

(21)Application number : 2001-165453 (71)Applicant : HYNIX SEMICONDUCTOR INC

(22)Date of filing : 31.05.2001 (72)Inventor : RYU JE-HUN  
HAN JONG HEE

(30)Priority

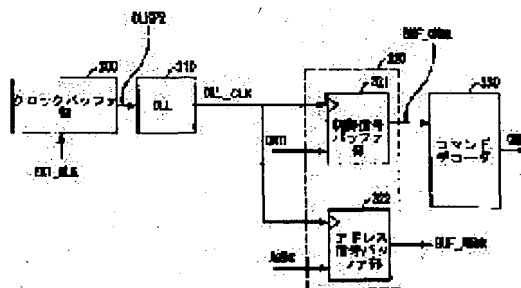
Priority number : 2000 200029645 Priority date : 31.05.2000 Priority country : KR

(54) SEMICONDUCTOR MEMORY AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which an address access time (tAA) and a data access time (tAC) can be shortened.

SOLUTION: This semiconductor memory is provided with a clock buffer buffering an external clock, a delay fixed loop generating a delay fixed loop clock (DLL clock, DLL: delayed locked loop) synchronizing with the external clock, a control signal buffer RECEIVING an external control signal, buffering it, and generating an internal control signal synchronizing with a DLL clock, and an address signal buffer or a CAS buffer receiving an external address signal or a CAS(column address strobe) signal and buffering it, and generating an internal address signal synchronizing with the DLL clock.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-56677

(P2002-56677A)

(43)公開日 平成14年2月22日(2002.2.22)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコ-ト\*(参考)

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 C 5 J 1 0 6

G 0 6 F 1/12

3 6 2 S 5 M 0 2 4

H 0 3 L 7/081

H 0 3 L 7/08

J

G 0 6 F 1/04

3 4 0 A

審査請求 未請求 請求項の数25 O L (全 16 頁)

(21)出願番号 特願2001-165453(P2001-165453)

(22)出願日 平成13年5月31日(2001.5.31)

(31)優先権主張番号 2 0 0 0 - 2 9 6 4 5

(32)優先日 平成12年5月31日(2000.5.31)

(33)優先権主張国 韓国(KR)

(71)出願人 591024111

株式会社ハイニックスセミコンダクター  
大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(72)発明者 柳 ▲ジェ▼ ▲フン▼

大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(72)発明者 韓 鍾 ▲ヒ▼

大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(74)代理人 100065215

弁理士 三枝 英二 (外10名)

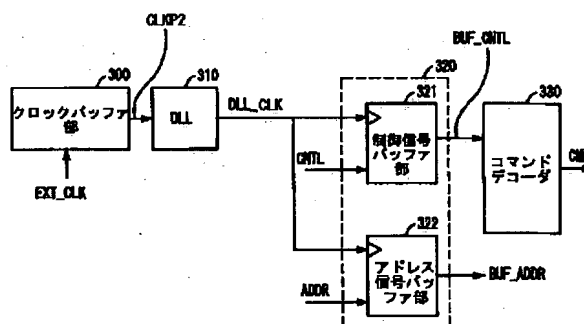
最終頁に続く

(54)【発明の名称】 半導体メモリおよびその駆動方法

(57)【要約】

【課題】 アドレスアクセス時間(tAA)およびデータアクセス時間(tAC)を短縮できる半導体メモリを提供すること。

【解決手段】 半導体メモリにおいて、外部クロックをバッファリングするクロックバッファと、外部クロックに同期した遅延固定ループクロック(DLLクロック、DLL: delayed locked loop)を生成するための遅延固定ループと、外部制御信号を受信しバッファリングしてDLLクロックと同期した内部制御信号を生成するための制御信号バッファと、外部アドレス信号またはCAS(column address strobe)信号を受信しバッファリングして、DLLクロックと同期した内部アドレス信号を生成するためのアドレス信号バッファまたはCASバッファとを装備する。



## 【特許請求の範囲】

【請求項1】外部クロックをバッファリングするためのクロックバッファ部と、

前記外部クロックに同期した遅延固定ループクロック(以下、DLLクロックと記す)を生成するための遅延固定ループ(以下、DLLと記す)と、

外部制御信号を受信しバッファリングして、前記DLLクロックと同期した内部制御信号を生成するための制御信号バッファ部と、

外部アドレス信号またはCAS(column address strobe)信号を受信しバッファリングして、前記DLLクロックと同期した信号を生成するためのアドレス信号バッファ部またはCAS信号バッファ部とを備えていることを特徴とする半導体メモリ。

【請求項2】さらに、前記内部制御信号をデコーディングしてコマンド信号を生成するためのコマンドデコーダを備えていることを特徴とする請求項1に記載の半導体メモリ。

【請求項3】アクセス時間が、1.5ナノ秒以下であることを特徴とする請求項1に記載の半導体メモリ。

【請求項4】DLL非活性化信号、DLLリセット信号、パワーアップ信号、セルフリフレッシュ応答信号およびセルフリフレッシュ信号を受信して、DLL制御信号およびクロック選択信号を生成するためのクロック制御部と、外部クロックおよびパワーアップ信号を受けて、第2クロックを生成するためのクロック生成部と、外部クロックを受けてDLLクロックを生成するためのDLLバッファ部と、前記DLL制御信号、外部CAS信号および基準電圧信号を受信してバッファリングし、内部CAS信号および反転された内部CAS信号を生成するためのCASバッファ部と、前記内部CAS信号、前記反転された内部CAS信号、前記第2クロック、前記DLLクロック、前記DLL制御信号、前記外部CAS信号および前記基準電圧信号を受信してラッチし、第2CAS信号および反転されたCAS信号を生成するCASラッチ部とを備えていることを特徴とする半導体メモリ。

【請求項5】さらに、前記第2クロック、前記DLLクロックおよび前記クロック選択信号を受信して、第3クロックを生成するためのクロック駆動部を備えていることを特徴とする請求項4に記載の半導体メモリ。

【請求項6】さらに、前記DLL制御信号、外部アドレス信号および基準電圧信号を受信してバッファリングし、内部CAS信号および反転された内部CAS信号を生成するためのアドレス信号バッファ部と、前記内部アドレス信号、前記反転された内部アドレス信号、前記内部クロック、前記DLLクロック、前記DLL制御信号、前記外部アドレス信号および前記基準電圧信号を受信してラッチし、最終アドレス信号および反転された最終アドレス信号を生成するアドレスラッチ部とを備え

ていることを特徴とする請求項4に記載の半導体メモリ。

【請求項7】前記クロック制御部が、前記DLL非活性化信号、前記DLLリセット信号、前記セルフリフレッシュ要請信号およびセルフリフレッシュ信号の論理和を行うための入力部と、前記パワーアップ信号に応答して前記入力部の出力をラッチし、前記クロック選択信号を出力するための第1ラッチ部とを備えていることを特徴とする請求項4に記載の半導体メモリ。

【請求項8】前記クロック生成部が、パワーアップ信号に応答して、クロックと反転されたクロックとの間の電圧差をバッファリングし、増幅するための第1バッファ部と、該第1バッファ部の出力を受信してDLLクロックを生成するためのパルス生成部とを備えていることを特徴とする請求項4に記載の半導体メモリ。

【請求項9】前記第1バッファ部が、電流ミラー回路により構成されていることを特徴とする請求項8に記載の半導体メモリ。

【請求項10】前記DLLバッファ部が、偶数個のインバータを備えていることを特徴とする請求項8に記載の半導体メモリ。

【請求項11】前記クロック駆動部が、前記DLLクロックおよび前記DLL選択信号に応答する第1TSLバッファ部と、前記内部クロックおよび前記クロック選択信号に応答する第2TSLバッファ部と、前記第2TSLバッファ部の出力を受けて、駆動クロックを生成するための第1出力部と、前記駆動クロックを受けて、駆動クロックのパルス幅を決定するための遅延部とを備えていることを特徴とする請求項5に記載の半導体メモリ。

【請求項12】前記CASバッファ部が、前記DLL制御信号に応答して前記外部CAS信号と前記基準電圧との間の電圧差をバッファリングするための第2バッファ部と、前記第2バッファ部の出力を受けて、内部CAS信号および反転された内部CAS信号を生成するための第2出力部とを備えていることを特徴とする請求項4に記載の半導体メモリ。

【請求項13】前記第2バッファ部が、電流ミラー回路により構成されていることを特徴とする請求項12に記載の半導体メモリ。

【請求項14】前記第2出力部が、複数個のインバータにより構成されていることを特徴とする請求項12に記載の半導体メモリ。

【請求項15】前記CASラッチ部が、前記DLL制御信号、前記DLLクロックおよび前記内部クロックを受信して、前記制御信号を生成するための制御部



と、  
前記制御信号、前記内部CAS信号および前記反転された内部CAS信号を受信してラッチするための第2ラッチ部とを備えていることを特徴とする請求項4に記載の半導体メモリ。

【請求項16】 前記第2ラッチ部が、差動増幅器により構成されていることを特徴とする請求項15に記載の半導体メモリ。

【請求項17】 アクセス時間が、1.5ナノ秒以下であることを特徴とする請求項4に記載の半導体メモリ。

【請求項18】 前記外部クロックを生成する第1ステップと、  
前記外部クロックをバッファリングする第2ステップと、  
前記外部クロックと実質的に同期した遅延固定ループ(DLL)クロックを生成する第3ステップと、

制御信号バッファ部およびアドレス信号バッファ部に前記DLLクロックを出力する第4ステップとを有することを特徴とする半導体メモリの駆動方法。

【請求項19】 さらに、CASバッファ部にDLLクロックを出力するステップを有することを特徴とする請求項18に記載の半導体メモリの駆動方法。

【請求項20】 さらに、前記DLLクロックと実質的に同期した内部制御信号を生成するステップを有することを特徴とする請求項18に記載の半導体メモリの駆動方法。

【請求項21】 内部制御信号を生成する前記ステップが、DLLクロックと外部制御信号とを受信して、前記制御信号バッファ部により行われることを特徴とする請求項20に記載の半導体メモリの駆動方法。

【請求項22】 さらに、前記DLLクロックと実質的に同期した内部アドレス信号を生成する前記ステップを有することを特徴とする請求項18に記載の半導体メモリの駆動方法。

【請求項23】 内部アドレス信号を生成する前記ステップが、DLLクロックと外部アドレス信号とを受信する前記アドレス信号バッファ部により行われることを特徴とする請求項22に記載の半導体メモリの駆動方法。

【請求項24】 さらに、前記内部制御信号をデコーディングする第5ステップと、  
前記デコーディングステップに対する応答としてコマンド信号を生成する第6ステップを有することを特徴とする請求項21に記載の半導体メモリの駆動方法。

【請求項25】 1.5ナノ秒未満の間にアクセスすることを特徴とする請求項18に記載の半導体メモリの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリおよびその駆動方法に関し、特に、アドレスアクセス時間お

よびデータアクセス時間の短縮化を図ることができる半導体メモリおよびその駆動方法に関する。

【0002】

【従来の技術】一般に、遅延固定ループ(以下、「遅延固定ループ」をDLL(delayed locked loop)と記す)は、半導体メモリにおいて、クロックを用いる同期式メモリの内部クロックを、適正に外部クロックと正確に一致させるために用いられる回路である。すなわち、外部から入力されるクロックが内部で用いられる場合に時間遅延が発生するが、遅延固定ループは、この時間遅延を制御して、内部で用いられるクロックを外部から入力されるクロックに同期させるために用いられる。

【0003】今後、ますますの高速化が予想されるシステムの周波数に合わせるために、DRAM内部のクロックに同期して出力される場合のデータアクセス時間の短縮化が望まれる。

【0004】このような高速化の実現のため、DRAM内部におけるACパラメーターの中で重要視されるものとして、tAA(アドレスアクセス時間)とtAC(データアクセス時間)とが挙げられる。これらは、それぞれクロックから、アドレスアクセスおよびデータアクセスに必要な時間を示すものであり、これらの短縮化を実現することにより、ますます高速化されていく半導体メモリの性能向上が可能となる。

【0005】図1は、従来の技術に係る半導体メモリにおける制御・アドレス部を示すブロック図である。従来の技術に係る半導体メモリにおいて、外部クロックはバッファリングされ、内部クロックとして用いられる。

【0006】図1に示されているように、従来の技術に係る半導体メモリにおける制御・アドレス部は、外部クロックを受けて内部クロックを生成するためのクロックバッファ部100と、内部クロックおよび外部制御信号を受けて制御信号を生成するための制御信号バッファ部111ならびに内部クロックおよび外部アドレス信号を受けてアドレス信号を生成するためのアドレス信号バッファ部112を含む制御・アドレスバッファ部110と、制御信号バッファ部111から制御信号を受けて制御信号の組み合わせによって多様な命令を生成するためのコマンドデコーダ120とを備えている。

【0007】図1に示されているように、従来の制御・アドレス部は、外部クロックを受けてバッファリングするクロックバッファ部100により生成された内部クロックが、ローアドレスストロブ信号、カラムアドレスストロブ信号、ライトイネーブル信号、チップ選択信号など、クロックに同期した信号として用いられる。

【0008】図2は、図1に示した従来の技術に係る半導体メモリにおける制御・アドレス部で用いられる外部クロックと内部クロックとの間の時間差を示すタイミングチャートである。

【0009】図2に示されているように、外部クロック

が立ち上がる時間から、クロックバッファ部100により内部クロックが生成されるまでの時間は、約1.5ナノ秒である。

【0010】すなわち、外部クロックが立ち上がる時間から約1.5ナノ秒後に内部クロックが立ち上がるため、制御信号バッファ部111により制御信号を発生させ、コマンドデコーダ120により各種の命令を発生させるのに、全体として約1.5ナノ秒の時間遅延が発生する。

【0011】したがって、従来の技術に係る半導体メモリにおける制御・アドレス部の構造は、tAA(アドレスアクセス時間)とtAC(データアクセス時間)とを合わせて、約1.5ナノ秒の時間遅延を誘発するという問題点があった。

【0012】

【発明が解決しようとする課題】本発明は、上述のような従来技術における問題点を解決するためになされたものであり、tAA(アドレスアクセス時間)およびtAC(データアクセス時間)が短縮された内部クロックを発生させることができる半導体メモリおよびその駆動方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の要旨は、下記の半導体メモリおよびその駆動方法にある。

【0014】本発明に係る半導体メモリは、外部クロックをバッファリングするためのクロックバッファ部と、外部クロックに同期した遅延固定ループクロック(以下、DLLクロックと記す)を生成するための遅延固定ループ(以下、DLLと記す)と、外部制御信号を受信しバッファリングして、DLLクロックと同期した内部制御信号を生成するための制御信号バッファ部と、外部アドレス信号またはCAS(column address strobe)信号を受信しバッファリングして、DLLクロックと同期した信号を生成するためのアドレス信号バッファ部またはCAS信号バッファ部とを備えていることを特徴とする。

【0015】ここで、さらに、内部制御信号をデコーディングしてコマンド信号を生成するためのコマンドデコーダを備えていることが望ましい。また、アクセス時間が、1.5ナノ秒以下であることが望ましい。

【0016】本発明に係る半導体メモリは、DLL非活性化信号、DLLリセット信号、パワーアップ信号、セルフリフレッシュ応答信号およびセルフリフレッシュ信号を受信して、DLL制御信号およびクロック選択信号を生成するためのクロック制御部と、外部クロックおよびパワーアップ信号を受けて、第2クロックを生成するためのクロック生成部と、外部クロックを受けてDLLクロックを生成するためのDLLバッファ部と、DLL制御信号、外部CAS信号および基準電圧信号を受信してバッファリングし、内部CAS信号および反転された内部CAS信号を生成するためのCASバッファ部と、内部CAS信号、反転された内

部CAS信号、第2クロック、DLLクロック、DLL制御信号、外部CAS信号および基準電圧信号を受信してラッチし、第2CAS信号および反転されたCAS信号を生成するCASラッチ部とを備えていることを特徴とする。

【0017】ここで、さらに、第2クロック、DLLクロックおよびクロック選択信号を受信して、第3クロックを生成するためのクロック駆動部を備えていることが望ましい。

【0018】また、さらに、DLL制御信号、外部アドレス信号および基準電圧信号を受信してバッファリングし、内部CAS信号および反転された内部CAS信号を生成するためのアドレス信号バッファ部と、内部アドレス信号、反転された内部アドレス信号、内部クロック、DLLクロック、DLL制御信号、外部アドレス信号および基準電圧信号を受信してラッチし、最終アドレス信号および反転された最終アドレス信号を生成するアドレスラッチ部とを備えていることが好ましい。

【0019】一方、クロック制御部が、DLL非活性化信号、DLLリセット信号、セルフリフレッシュ要請信号およびセルフリフレッシュ信号の論理和を行うための入力部と、パワーアップ信号にตอบสนองして入力部の出力をラッチし、クロック選択信号を出力するための第1ラッチ部とを備えていることが望ましい。

【0020】また、クロック生成部が、パワーアップ信号にตอบสนองして、クロックと反転されたクロックとの間の電圧差をバッファリングし、増幅するための第1バッファ部と、第1バッファ部の出力を受信してDLLクロックを生成するためのパルス生成部とを備えていることが好ましい。一方、第1バッファ部が、電流ミラー回路により構成されていることが望ましい。また、DLLバッファ部が、偶数個のインバータを備えていることが好ましい。

【0021】一方、クロック駆動部が、DLLクロックおよびDLL選択信号にตอบสนองする第1TSLバッファ部と、内部クロックおよびクロック選択信号にตอบสนองする第2TSLバッファ部と、第2TSLバッファ部の出力を受けて、駆動クロックを生成するための第1出力部と、駆動クロックを受けて、駆動クロックのパルス幅を決定するための遅延部とを備えていることが望ましい。

【0022】また、CASバッファ部が、DLL制御信号にตอบสนองして外部CAS信号と基準電圧との間の電圧差をバッファリングするための第2バッファ部と、第2バッファ部の出力を受けて、内部CAS信号および反転された内部CAS信号を生成するための第2出力部とを備えていることが好ましい。

【0023】一方、第2バッファ部が、電流ミラー回路により構成されていることが望ましい。また、第2出力部が、複数個のインバータにより構成されていることが好ましい。

【0024】また、CASラッチ部が、DLL制御信号、DLL

クロックおよび内部クロックを受信して、制御信号を生成するための制御部と、制御信号、内部CAS信号および反転された内部CAS信号を受信してラッチするための第2ラッチ部とを備えていることが望ましい。一方、第2ラッチ部が、差動増幅器により構成されていることが好ましい。また、アクセス時間が、1.5ナノ秒以下であることが望ましい。

【0025】本発明に係る半導体メモリの駆動方法は、外部クロックを生成する第1ステップと、外部クロックをバッファリングする第2ステップと、外部クロックと実質的に同期した遅延固定ループ(DLL)クロックを生成する第3ステップと、制御信号バッファ部およびアドレス信号バッファ部にDLLクロックを出力する第4ステップとを有することを特徴とする。

【0026】ここで、さらに、CASバッファ部にDLLクロックを出力するステップを有することが望ましい。また、さらに、DLLクロックと実質的に同期した内部制御信号を生成するステップを有することが好ましい。一方、内部制御信号を生成するステップが、DLLクロックと外部制御信号とを受信して、制御バッファ部により行われることが望ましい。

【0027】また、さらに、DLLクロックと実質的に同期した内部アドレス信号を生成するステップを有することが望ましい。一方、内部アドレス信号を生成するステップが、DLLクロックと外部アドレス信号とを受信するアドレス信号バッファ部により行われることが好ましい。

【0028】また、さらに、内部制御信号をデコーディングする第5ステップと、デコーディングステップに対する応答としてコマンド信号を生成する第6ステップを有することが望ましい。一方、1.5ナノ秒未満の間にアクセスすることが好ましい。

【0029】

【発明の実施の形態】以下、本発明の好ましい実施の形態を添付した図面を参照しながら詳細に説明する。

【0030】図3は、本発明の実施の形態に係る半導体メモリにおける制御・アドレス部を示すブロック図である。図3に示されているように、本発明の実施の形態に係る半導体メモリにおける制御・アドレス部は、外部クロック(EXT\_CLK)を受けてバッファリングするクロックバッファ部300と、クロックバッファ部300の出力を受けて外部クロック(EXT\_CLK)に同期した内部クロック(DLLクロック)を生成するための遅延固定ループ(DLL)310と、DLL310より出力された内部クロック(DLL\_CLK)に同期して外部制御信号(CNTL)および外部アドレス信号(ADDR)をバッファリングする制御・アドレスバッファ部320と、制御・アドレスバッファ部320から出力された制御信号(BUF\_CNTL)を受けて制御信号の組み合わせによって多様な命令を生成するためのコマンドデコーダ330とを備えている。

【0031】また、制御・アドレスバッファ部320は、外部制御信号(CNTL)を受信しバッファリングして、DLLクロック(DLL\_CLK)と同期した内部制御信号(BUF\_CNTL)を生成するための制御信号バッファ部321と、外部アドレス信号(ADDR)を受信しバッファリングして、DLLクロック(DLL\_CLK)と同期した内部アドレス信号(BUF\_ADDR)を生成するためのアドレス信号バッファ部322とを有する。

【0032】クロックバッファ部300は、外部クロック(EXT\_CLK)をバッファリングして、バッファリングされたクロック(CLKP2)を生成する。外部クロック(EXT\_CLK)とバッファリングされたクロック(CLKP2)との間には時間差が存在する。この時間差を減らすため、DLL310は、DLLクロック(DLL\_CLK)、すなわち前記バッファリングされたクロック(CLKP2)に対応するDLLクロック信号(DLL\_CLKP2)を生成する。

【0033】制御信号バッファ部321は、外部制御信号(CNTL)を受信して、内部制御信号(BUF\_CNTL)を生成するようにバッファリングする。また、制御信号バッファ部321は、バッファリングされた内部制御信号(BUF\_CNTL)をラッチして、DLLクロック(DLL\_CLK)と同期させて出力する。

【0034】アドレス信号バッファ部322は、外部アドレス信号(ADDR)を受信しバッファリングして、内部アドレス信号(BUF\_ADDR)を生成する。また、アドレス信号バッファ部322は、バッファリングされた内部アドレス信号(BUF\_ADDR)をラッチして、DLLクロック(DLL\_CLK)と同期させて出力する。コマンドデコーダ330は、バッファリングされた内部制御信号(BUF\_CNTL)をデコーディングして、コマンド信号(CMD)を出力する。

【0035】図4は、図3に示した本発明の実施の形態に係る半導体メモリにおける制御・アドレス部で用いられる外部クロック(EXT\_CLK)と、遅延固定されたDLLクロック(DLL\_CLK)との間の時間差を示すタイミングチャートである。

【0036】図4に示されているように、DLLクロック(DLL\_CLK)は外部クロック(EXT\_CLK)とほぼ同期している。その結果、バッファリングされた内部制御信号(BUF\_CNTL)とバッファリングされた内部アドレス信号(BUF\_ADDR)とは、DLLクロック(DLL\_CLK)と同期して内部のブロックに出力されるので、既存の半導体メモリに比べて、データをアクセスする時間(tAC)およびアドレスをアクセスする時間(tAA)を大幅に短縮することができる。

【0037】図5は、図3に示した本発明の実施の形態に係る半導体メモリにおける制御・アドレス部を詳細に示したブロック図である。図5に示されているように、クロックバッファ部300に含まれる第2クロック発生部510は、外部クロック(EXT\_CLK)をバッファリングしてバッファリングされたクロック、すなわちクロック



(CLK)、反転されたクロック(CLKZ)およびパワーアップ信号(PWRUP)を受けて、クロック駆動部530およびCASラッチ部550を制御する第2クロック(CLKP2)を生成する。

【0038】外部クロック(EXT\_CLK)とバッファリングされたクロックとの間には時間差が存在する。この時間差を短くするため、DLL310に含まれるDLLバッファ部520は、図4に示されているように、外部クロック(EXT\_CLK)とほぼ同期するDLLクロック(DLL\_CLK)、すなわちバッファリングされたクロック(CLKP2)に対応するDLLクロック信号(DLL\_CLKP2)を生成する。

【0039】DLL310は、DLL非活性化信号(DIS\_DLL)、DLLリセット信号(DLL\_RESETZ)、パワーアップ信号(PWRUP)、セルフリフレッシュ応答信号(SREFREQ)およびセルフリフレッシュ信号(SR)を受けて、CAS(column address strobe)バッファ部540を制御するためのクロック制御部500と、DLL310内部からのDLL立ち上がりクロック(RCLK\_DLL)を受けて、時間遅延およびバッファリングを行うためのDLLバッファ部520と、第2クロック(CLKP2)、DLLバッファ部520の出力であるDLL第2クロック(DLL\_CLKP2)およびクロック制御部500の出力であるクロック選択信号(SEL\_CLKZ)を受けて、DLL310によって制御される第4クロック(CLKP4)を生成するためのクロック駆動部530とを備えている。

【0040】DLLバッファ部520は、外部クロック(EXT\_CLK)を受信して立ち上がりDLLクロック(RCLK\_DLL)を遅延し、バッファリングして第2DLLクロック(DLL\_CLKP2)を生成する。

【0041】DLLバッファ部520は、遅延回路を形成する偶数個のインバータを備えている。なお、DLLバッファ部520の詳細な構成は、他の回路で用いられるものと同一であるため説明を省略する。

【0042】制御・アドレスバッファ部320は、クロック制御部500の出力信号であるDLL制御信号(DLL\_CTRLZ)、外部からのCAS信号(CASZ)および基準電圧(VREF)を受けてバッファリングするためのCASバッファ部540と、CASバッファ部540の出力である内部CAS信号(CAS2、CAS2Z)、第2クロック(CLKP2)、DLL第2クロック(DLL\_CLKP2)、DLL制御信号(DLL\_CTRLZ)、CAS信号(CASZ)および基準電圧(VREF)を受けて、CASバッファ部540を経た信号をラッチするためのCASラッチ部550とを備えている。ここでは図3に示したアドレス信号バッファ部322がCASバッファ部540とCASラッチ部550とに該当する。

【0043】ここでの置き換えは、設計者の選択によるものであって、本発明に係る半導体メモリは、CAS信号処理およびアドレス信号処理のいずれの機能も持ち得るということを示すためのものである。したがって、制御信号バッファ部321内の符号540'および550'

は、CAS信号バッファ部322内の符号540および550とそれぞれ同じ構成を有する。そのため、本発明におけるCASバッファ部540とCASラッチ部550については後述することとし、その他については、以下でさらに詳細に説明する。

【0044】図6は、図5に示した制御・アドレス部におけるクロック制御部500を詳細に示す回路図である。図6に示されているように、クロック制御部500は、DLL非活性化(disable)信号(DIS\_DLL)、DLLリセット(reset)信号(DLL\_RESETZ)、パワーアップ信号(PWRUP)、セルフリフレッシュ要請信号(SREFREQ)およびセルフリフレッシュ信号(SR)を受信してDLL制御信号(DLL\_CTRLZ)とクロック選択信号(SEL\_CLKZ)とを生成する。

【0045】クロック制御部500は、入力部600および第1ラッチ部610を有する。入力部600は、第1ORゲート604を介して受信したDLL非活性化信号(DIS\_DLL)と、DLLリセット信号(DLL\_RESETZ)と、セルフリフレッシュ要請信号(SREFREQ)との論理和を行う。また、第2ORゲート605を介して受信したDLL非活性化(disable)信号(DIS\_DLL)およびセルフリフレッシュ信号(SR)の論理和を行う。特に、DLL\_RESETと、SREFREQおよびDIS\_DLLのいずれか一つがロジックハイ(logic high)である場合、第1ORゲート604によって第1トランジスタ601はオフされ、第2トランジスタ602がオンされるようになる。また、DIS\_DLLとSRのいずれか一つがロジックハイである場合、第2ORゲート605によって第3トランジスタ603がオンされる。

【0046】このように、トランジスタ601、602および603の状態は、入力部600の出力状態を決定する。

【0047】第1ラッチ部610は、パワーアップ信号(PWRUP)に対する応答として入力部600の出力をラッチ606でラッチして、遅延転換回路607を介してクロック選択信号(SEL\_CLKZ)を出力する。DLL制御信号(DLL\_CTRLZ)は、遅延回路608を介してクロック選択信号(SEL\_CLKZ)を基に生成される。

【0048】図6に示されているように、第1ラッチ部610は、通常用いられる差動増幅器により構成することができるので、詳細な構成説明は省略する。

【0049】図7は、図5に示した制御・アドレス部におけるクロックバッファ部300を詳細に示す回路図である。図7に示されているように、クロックバッファ部300は、第1バッファ部700およびパルス生成部710を有し、クロック(CLK)、反転クロック(CLKZ)およびパワーアップ信号(PWRUP)を受信して、図5に示したクロック駆動部530およびCASラッチ部550を制御するのに用いられる第2クロック(CLKP2)を生成する。

【0050】第1バッファ部700は、パワーアップ信号(PWRUP)に対する応答として、クロック(CLK)と反転クロック(CLKZ)との間の電圧差をバッファリングして増幅

させる。第1バッファ部700は、通常用いられる電流ミラー回路で構成できるため、その詳細な構成説明は省略する。

【0051】パルス生成部710は、第1バッファ部700の出力を受信して第1インバータ711、インバータ遅延回路712、第1NANDゲート713および第2インバータ714を介して第2クロック(CLKP2)を生成する。

【0052】図8は、図5に示した制御・アドレス部におけるクロック駆動部530を詳細に示す回路図である。図8に示されているように、クロック駆動部530は、第2クロック(CLKP2)、第2DLLクロック(DLL\_CLKP2)およびクロック選択信号(SEL\_CLKZ)を受信して第3クロック(CLKP4)を生成する。

【0053】クロック駆動部530は、第2DLLクロック(DLL\_CLKP2)とクロック選択信号(SEL\_CLKZ)とにตอบสนองする第1TSL(three state logic, TRI-STATE(R))バッファ部800と、第2クロック(CLKP2)およびクロック選択信号(SEL\_CLKZ)にตอบสนองする第2TSLバッファ部810と、第2TSLバッファ部810の出力を受けて第4クロック(CLKP4)を出力するための第1出力部830と、第4クロック(CLKP4)を受けて第4クロック(CLKP4)のパルス幅を決定するための遅延部820とを備える。クロック選択信号(SET\_CLKZ)は、2つのインバータを介してSET\_CLKZ2を生成し、第1TSLバッファ部800と第2TSLバッファ部810とに出力される。

【0054】PMOSTランジスタ840は、スイッチング電流を減らすために設けられるものである。例えば、遅延部820から出た出力信号の電圧が高い水準である場合、出力ノードは、プルダウン動作を行うNMOSTランジスタ850により低い電圧水準になる。この場合、PMOSTランジスタ840がオンされることによって、第1出力部830のプルダウン動作が行われるようにする。その結果、これら2つのランジスタは、スイッチング動作を高速化し、電流を減少するようにする。

【0055】図9は、図5に示した制御・アドレス部におけるCASバッファ部540を詳細に示す回路図である。図9に示されているように、CASバッファ部540は、DLL制御信号(DLL\_CTRLZ)、外部CAS信号(CASZ)および基準電圧信号(VREF: Reference Voltage signal)を受信してバッファリングし、内部CAS信号(CAS2)と反転された内部CAS信号(CAS2Z)とを生成する。

【0056】CASバッファ部540は、DLL制御信号(DLL\_CTRLZ)を受信してリファレンス電圧信号(VREF)と外部CAS信号(CASZ)との間の電圧差をバッファリングする第2バッファ部900と、第2バッファ部900の出力を受信して、内部CAS信号(CAS2)と反転された内部CAS信号(CAS2Z)とを生成するための第2出力部910とを有する。

【0057】第2バッファ部900は、通常の電流ミラー回路によって構成されており、第2出力部910は、複数個のインバータを含んで構成されている。

【0058】図10は、図5に示した制御・アドレス部におけるCASラッチ部550を詳細に示す回路図である。CASラッチ部550は、制御部1000と第2ラッチ部1010とで構成されている。

【0059】図10に示されているように、CASラッチ部550は、内部CAS信号(CAS2)、反転された内部CAS信号(CAS2Z)、第2クロック(CLKP2)、第2DLLクロック(DLL\_CLKP2)、DLL制御信号(DLL\_CTRLZ)、外部CAS信号(CASZ)および基準電圧信号(VREF)を受信してラッチし、第2CAS信号(CAS4)と第2反転されたCAS信号(CAS4Z)とを生成する。

【0060】制御部1000は、DLL制御信号(DLL\_CTRLZ)、第2DLLクロック(DLL\_CLKP2)および第2クロック(CLKP2)に対して論理演算を行って制御信号(DLLON\_CLKP4、COM\_CLKP4およびDLLOFF\_CLKP4)を生成する。

【0061】DLL制御信号(DLL\_CTRLZ)と第2クロック(CLKPZ)とは、NANDゲート1001に入力される。DLL制御信号(DLL\_CTRLZ)と第2クロック(CLKPZ)ともハイである場合、制御信号(DLLOFF\_CLKP4)はハイ状態のみにあることとなる。

【0062】制御信号(DLLON\_CLKP4)は、インバータ1003を介してDLL制御信号(DLL\_CTRLZ)を反転させ、DLL制御信号(DLL\_CTRLZ)と第2DLLクロック(DLL\_CLKP2)を、NANDゲート1004を利用して論理演算することによって生成される。

【0063】第2DLLクロック(DLL\_CLKP2)がハイ状態であり、DLL制御信号(DLL\_CTRLZ)がロー状態である場合、ハイ状態の制御信号(DLLON\_CLKP4)を生成するため、NANDゲート1004の出力は、インバータ1005によって反転される。

【0064】また、制御信号(DLLOFF\_CLKP4)は、インバータ1002によってNANDゲート1001の出力を反転させることによって得られる。

【0065】制御信号(COM\_CLKP4)は、NANDゲート1001、1004の出力に作用するNAND論理回路1006の結果として現れる。

【0066】第2ラッチ部1010は、制御信号(DLLON\_CLKP4、COM\_CLKP4およびDLLOFF\_CLKP4)と内部CAS信号(CAS2)および反転された内部CAS信号(CAS2Z)を受信してラッチする。第2ラッチ部1010は、差動増幅器によって実現することができる。

【0067】本発明の技術は、上述した好ましい実施の形態により具体的に記述されたが、上述した実施の形態はその説明のためのものであって、その制限のためのものでないことに留意されるべきである。また、本発明の属する技術分野における通常の知識を有する者であれ

ば、本発明の技術思想の範囲内で種々の実施の形態に想到可能であり、それらも本発明の技術的範囲に属することとは言うまでもない。

#### 【0068】

【発明の効果】 上述したように、本発明に係る半導体メモリによれば、外部クロックをバッファリングした後に遅延固定ループを用いることによって遅延固定ループを利用した遅延固定された内部クロックとして、 $t_{AA}$ (アドレスアクセス時間)と $t_{AC}$ (データアクセス時間)とを1ナノ秒以上も短くできるため、チップの性能を向上させることができるという優れた効果がある。

#### 【図面の簡単な説明】

【図1】 従来の技術に係る半導体メモリにおける制御・アドレス部を示すブロック図である。

【図2】 図1に示した従来技術に係る半導体メモリにおける制御・アドレス部で用いられる外部クロックと内部クロックとの間の時間差を示すタイミングチャートである。

【図3】 本発明の実施の形態に係る半導体メモリにおける制御・アドレス部を示すブロック図である。

【図4】 図3に示した本発明の実施の形態に係る半導体メモリにおける制御・アドレス部で用いられる外部クロック(EXT\_CLK)と遅延固定された内部クロック(DLL\_CLK)との間の時間差を示すタイミングチャートである。

【図5】 図3に示した本発明の実施の形態に係る半導体メモリにおける制御・アドレス部を詳細に示したブロック図である。

【図6】 図5に示した制御・アドレス部におけるクロック制御部を詳細に示す回路図である。

ック制御部を詳細に示す回路図である。

【図7】 図5に示した制御・アドレス部におけるクロックバッファ部を詳細に示す回路図である。

【図8】 図5に示した制御・アドレス部におけるクロック駆動部を詳細に示す回路図である。

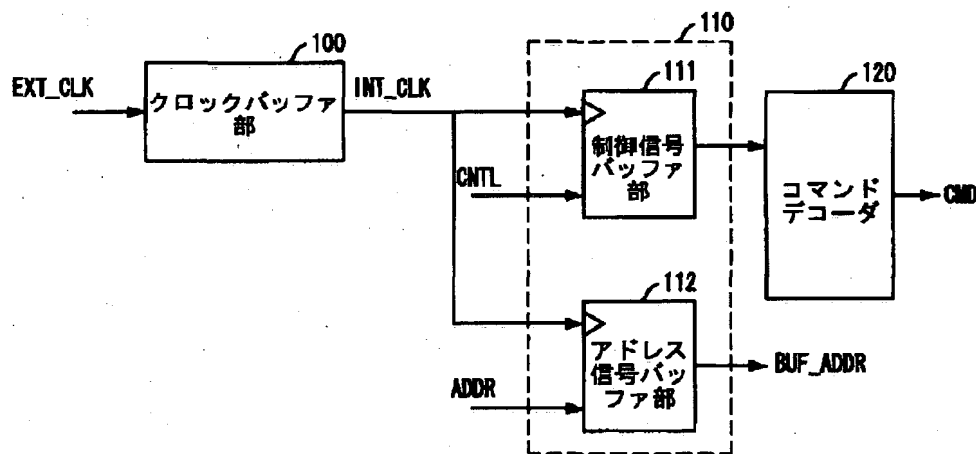
【図9】 図5に示した制御・アドレス部におけるCASバッファ部を詳細に示す回路図である。

【図10】 図5に示した制御・アドレス部におけるCASラッチ部を詳細に示す回路図である。

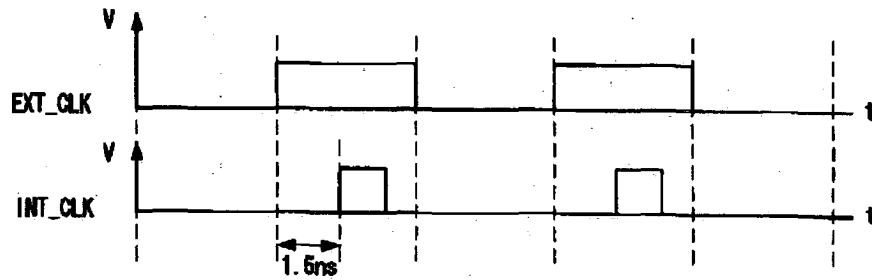
#### 【符号の説明】

300	クロックバッファ部
310	遅延固定ループ(DLL)
320	制御・アドレスバッファ部
321	制御信号バッファ部
322	アドレス信号バッファ部
330	コマンドデコーダ
500	クロック制御部
530	クロック駆動部
540	CASバッファ部
550	CASラッチ部
EXT#CLK	外部クロック
CLKP2	第2クロック
DLL#CTRLZ	DLL制御信号
CNTL	外部制御信号
ADDR	外部アドレス信号
BUF#CNTL	内部制御信号
BUF#ADDR	内部アドレス信号
CMD	コマンド信号

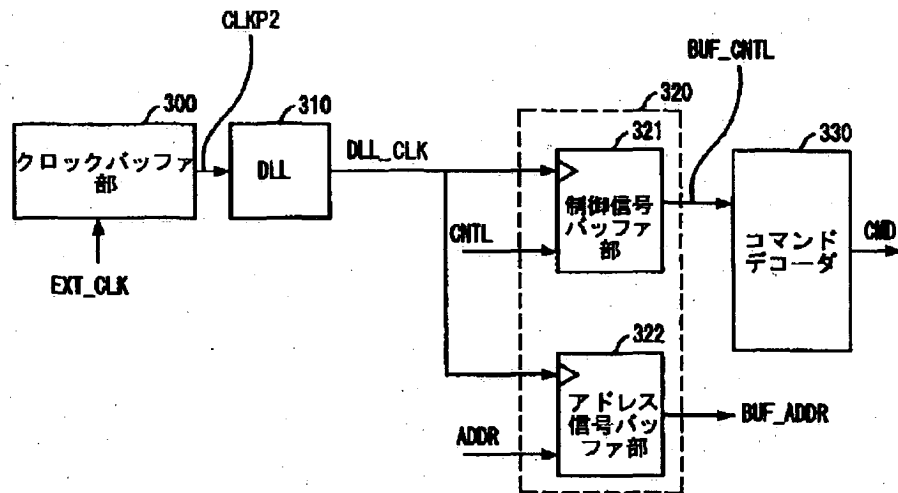
【図1】



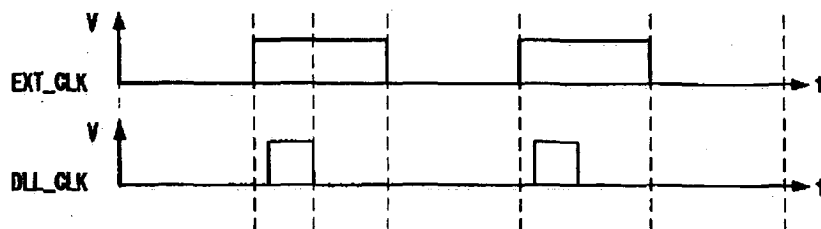
【図2】



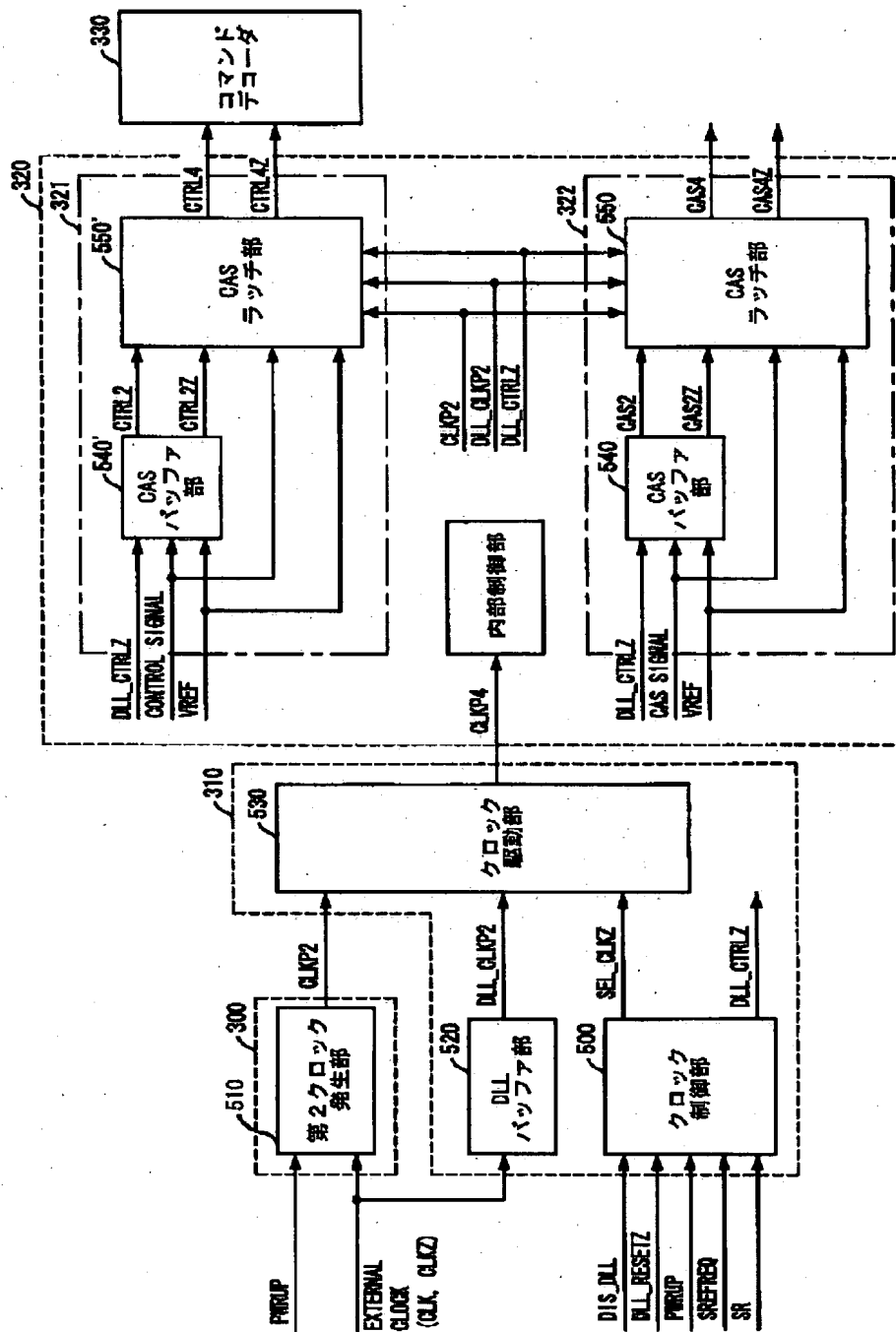
【図3】



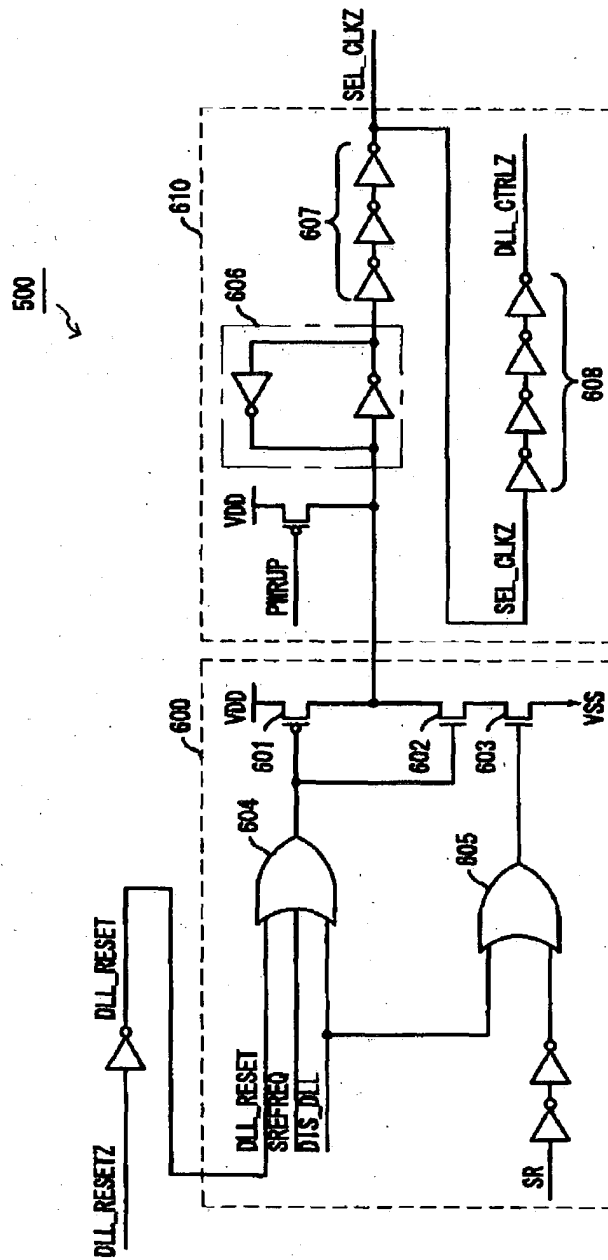
【図4】



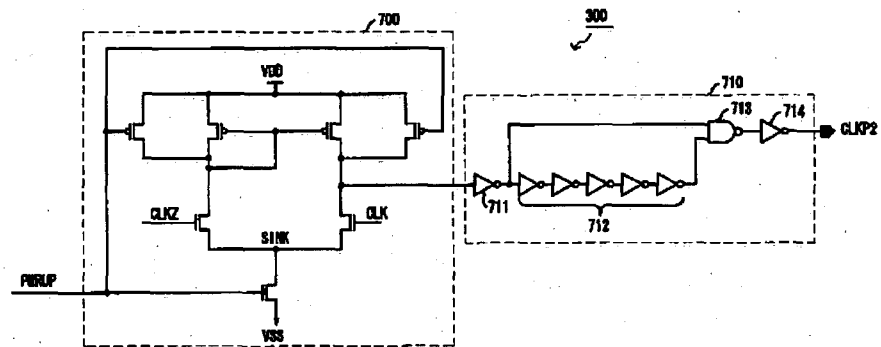
【図5】



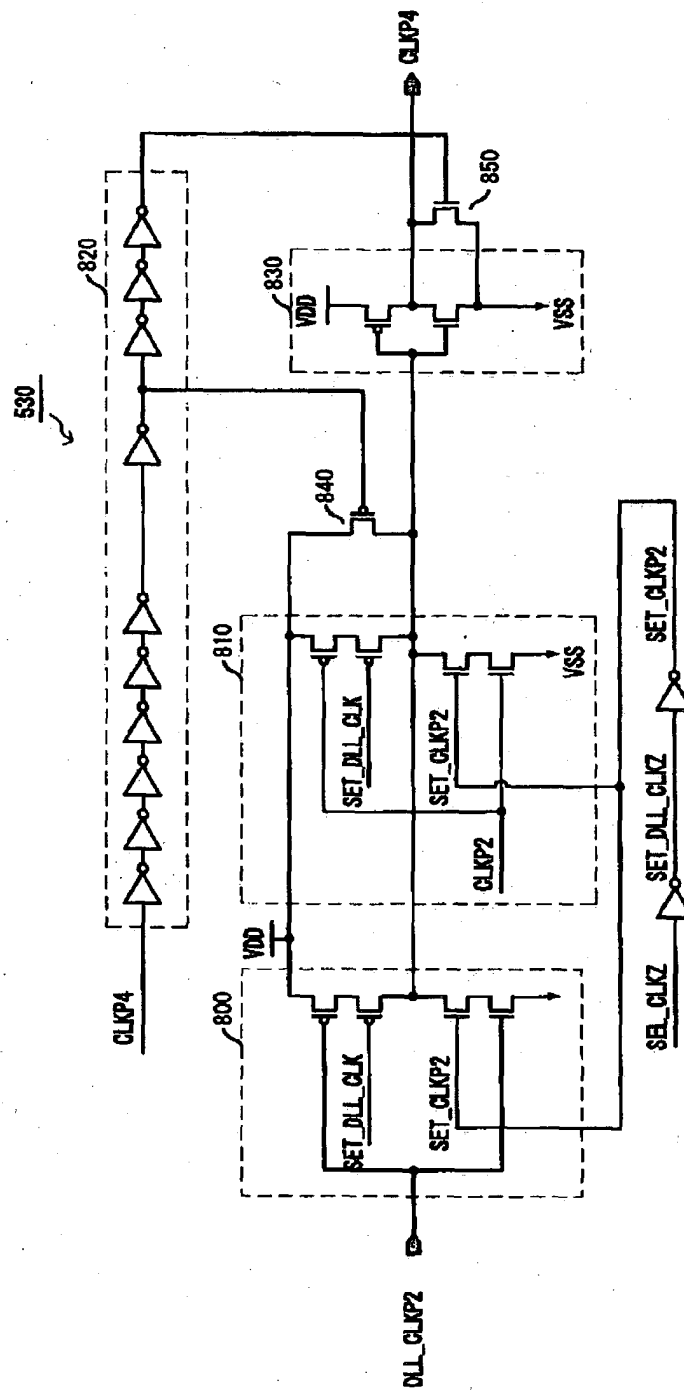
【図6】



【図7】

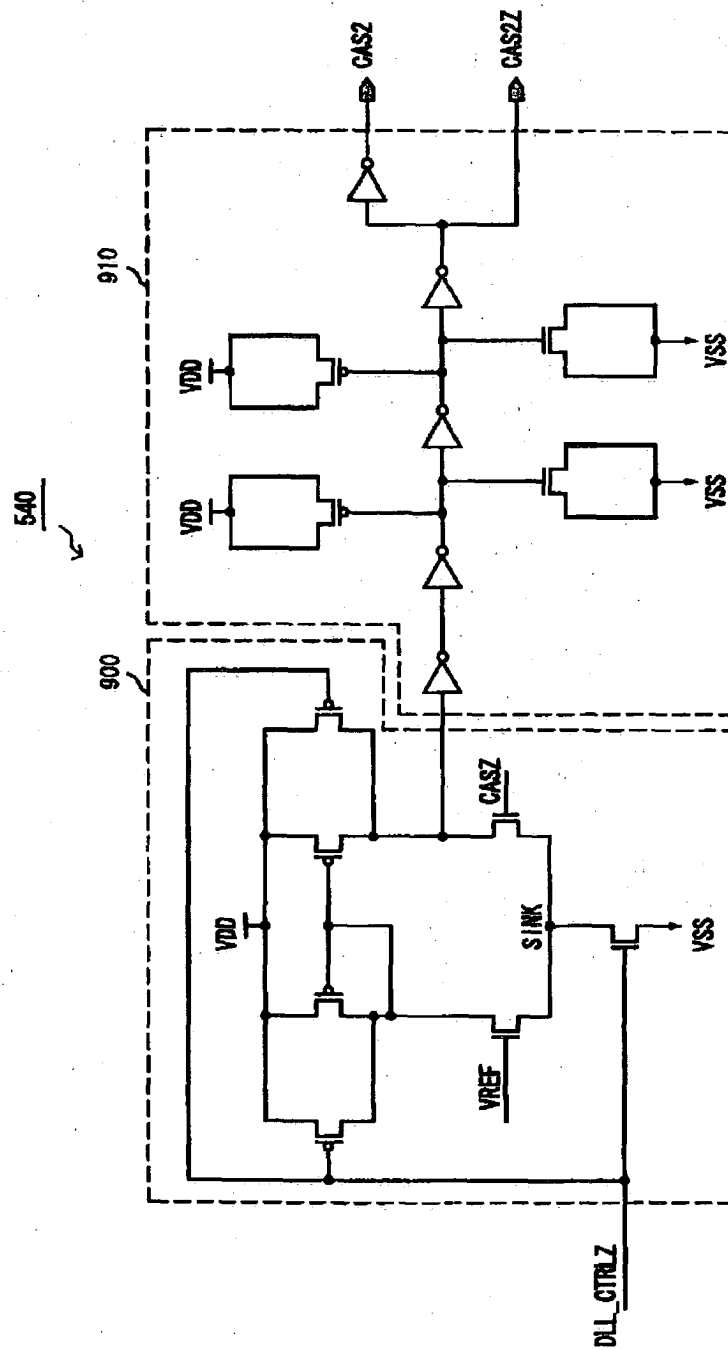


【図8】





【図9】





フロントページの続き

Fターム(参考) 5J106 AA03 CC03 CC59 DD21 DD24  
DD26 DD42 JJ07 KK02  
5M024 AA49 BB27 BB35 BB36 DD79  
DD83 DD85 EE05 GG01 JJ02  
JJ38 PP01 PP02 PP03 PP07